



特許庁

特許第 50 009713 号 (特許法第38条第1項第1号の発明に係る特許)

特許出願番号

昭和50年1月24日

発明の名称

絶縁ゲート型電界効果トランジスタ

特許請求の範囲に記載された発明の図 2

東京都千代田区丸の内一丁目2番地
株式会社日立製作所中央研究所内

Yoshida Iro

特許出願人

東京都千代田区丸の内一丁目5番1号

日立製作所
日立製作所

代理人

東京都千代田区丸の内一丁目5番1号

日立製作所内

〒100-270-2111 (大塚)

(7227) 特許士 藤田利幸

50 009713

明 細 書

発明の名称 絶縁ゲート型電界効果トランジスタ

特許請求の範囲

1. 第1導電型の半導体上に、第2導電型の基層が形成され、該基層上に、互いに離れて形成された第1導電型のソース・ドレイン領域を有し、該ソース・ドレイン領域間、絶縁層を介してゲート電極を有し、上記ドレイン電極が基層から取り出される構造を有する絶縁ゲート型電界効果トランジスタにおいて、上記第1導電型の基層の一部がドレイン領域として、表面に形成される絶縁ゲート型電界効果トランジスタ。
2. 上記第2導電型の基層領域と上記ソース領域とが、オーミック接触により接続されている構造を有する特許請求の範囲第1項記載の絶縁ゲート型電界効果トランジスタ。

発明の効果を説明

この発明は、高出力の絶縁ゲート型電界効果ト

(1)

⑨ 日本国特許庁

公開特許公報

①特開昭 51 85381

②公開日 昭51. (1976) 7. 26

③特願昭 50 P71.

④出願日 昭50. (1975) 1. 29

審査請求 行 全9回

庁内整理番号

6426 +7

⑤日本分類

PP4UEJ

⑥Int. Cl?

H01L 2P 77

H01L 2P 06

ンジスタ(以下MOSFETと記す)に相当するものである。

従来、MOSFETの出力、とりわけ、電流を増加させるために、第1図の構造が提案されている。この構造の特徴は、ドレイン3の電極取り出しが、ドレイン基板1を介して表面より行なわれていることであり電流が表面から表面へと面を流れることである。その結果、同一表面に、ソース・ドレイン電極が配置されている通常のMOSFETに比べ、電流の取り出しが多めで、同一チップサイズにおいては、有効なチャネル面積(幅)が大きくなり、大電流の素子として通している。さらに、改良された構造として、第2図に示すごとく、チャネル基板とドレイン基板1との間に、ドレインと同一導電型の低抵抗不純物領域11を設けることが提案された。これは、ドレイン領域3の電流が基板電圧などにより限定された場合、ソース4とドレイン基板1とのペンタスムー構造を向上させるために有効である。しかし、上記構造のMOSFETでは、2.3とよび11

の領域は、エピタキシャル延層成長により形成されたもの（E₂層）であり、2のE₂層と基板1との境界にドレーン電界が集中する構造であるため、ドレーン側圧の多偏りが低い欠点を有していた。これらは、E₂層形成時に形成初期に結晶欠陥が発生しやすいものである。そのため、チャップイン性が大きくなるにつれ、2元二層E₂などのE₂成長の回数が増えるにつれてその影響は、顕著に低下する傾向にある。以上のごとく、第1図及び第2図に示したようなMOSFETにおいては、側圧多偏りが低いという欠点を有していた。

この発明の目的は、上記欠点を除去するためになされたもので、側圧多偏りの良好なMOSFETを提供することである。

上記目的を達成するため、第3図に示すごとく、2の領域をイオン打込みもしくは拡散により形成し、基板1の一面がドレーン領域として基板表面上に存在するMOSFETを構成する。

以下本発明の実施例を用いて詳細に説明する。第3図に、本発明によるMOSFETの断面図を

図

一の高側圧化に設定している。

図に、この発明による他の実施例を第4図を用いて説明する。これは、第3図の基板1のかわりに、高側圧ドレーン基板1と低側圧不純物領域11とを有する構造の基板を用いたものである。ドレーン基板1は、例えばP型でN₁が $5 \times 10^{17} \text{ cm}^{-3}$ 、11は、P型でN₂が 10^{17} cm^{-3} である。この場合、11の領域は、E₂層であるが、2と11との境界は、拡散によつて形成された場合であるため、ドレーン側圧の多偏りは、第3図に示した2層E₂の構造に比べ、顕著に向上した。

図に、この発明の実施例によるMOSFETの製造工程を第5図(a)~(d)に示す。

アモルファス不純物領域N₁が 10^{17} cm^{-3} のP型シリコン表面上に、熱酸化膜11を約5000Å形成し、(a)選択的に除去した後、9人イオン12を成膜に照射する。該イオンの打込みエネルギーは50 KeV、打込み量N₂は $5 \times 10^{17} \text{ cm}^{-2}$ であった。イオン打込み後、加熱処理中、

図

特開第51-85381号

示す。ドレーン基板1は、例えば、P型でN₁が 10^{17} cm^{-3} の不純物濃度N₁が $1 \times 10^{17} \text{ cm}^{-3}$ である。チャップイン率2は、N₂でドレーン側圧N₂が $3 \times 10^{17} \text{ cm}^{-3}$ 、(b)約100Åである。ドレーン領域3は、P型でN₃が 10^{17} cm^{-3} 、厚さが1.5μmであり、1のドレーン基板と基板表面で接続され、(c)2層E₂から取り出されている。ソース領域4は、P型、N₄が 10^{17} cm^{-3} 以上で、(d)約100Åから取り出されている。ここで、2の領域が、イオン打込み、拡散、もしくは、これらの組み合わせにより形成されていることが重要で、上記の場合においては、E₂成長を用いなくても2および3の領域の形成がなされている。その結果、チャップイン率3=0で、側圧100V、電流10AのペーパMOSFETが、50%以上の効率で動作した。なお、従来のE₂成長を用いたMOSFETの側圧多偏りは、10%程度であった。さらに、第3図の構造において、3の領域表面のN₃の値が 10^{17} cm^{-3} 以下であることはMOSFET

(d)

1200℃、3時間熱処理した。その結果チャップイン率2となるN₂ドープ量が8μmの厚さとなった(図b)。次に、熱酸化膜を選択的に除去して、1050℃にて、PUCMによる高側圧のりん拡散を行ない、基板コンタクト用の高側圧領域13を形成した(図c)。次に、高側圧シリコン5'を約5000Åの厚さ形成し(図d)高側圧シリコン5'を選択的に除去しゲート電極5'を形成した後、ほう素イオン14を成膜に照射する。該イオンのエネルギーは50 KeV、打込み量N₄は $4 \times 10^{17} \text{ cm}^{-2}$ とした(図e)。その結果、MOSFETの高側圧化領域15が形成された。引続き、CVD法による4000Åの厚さのシリコン酸化膜16を形成し、選択的に除去し、ソース領域4を、ほう素拡散により、表面のN₄が 10^{17} cm^{-3} 以上、厚さが1.5μm形成した(図f)図に、CVD法により、9人のモル濃度比が4セルのりんガラス膜10を約9000Å形成し、1050℃の炉中で、5分間熱処理した後、電極コンタクト用エツ

図

357-23, VO

7-26-1976

Yoshitō

51-85381

WM 251-89381:3

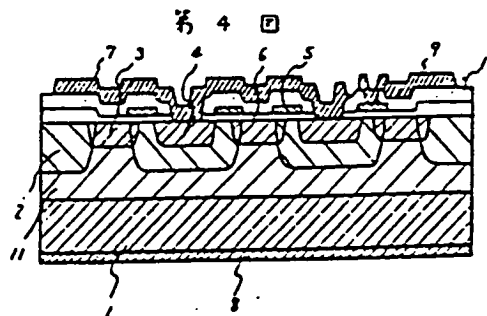
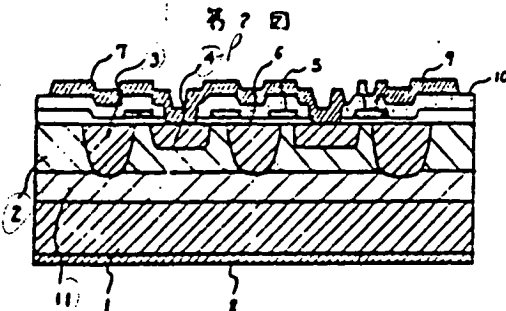
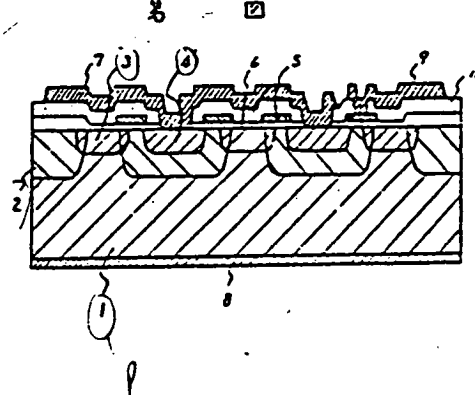
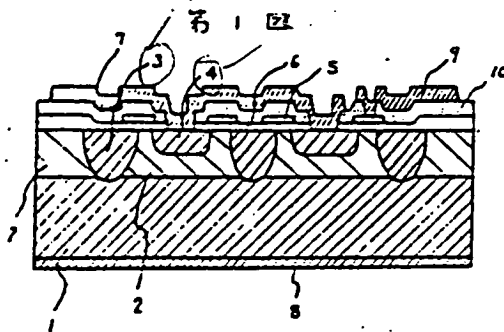
IR-674

タンクをばらつた(図4)しかる後、アルミニウ
ムを44度溶かすより、約15mmの厚さ、ソー
スを7ふじびざつ取り出し直ぐを熱した(図
5)。基礎のなかば、100mmエンタングした
後、金を自溶法により2000人形成し、400
でアロイし、ドレーンは8が形成された(図
6)。本工作中、図6で示したN型の高不純物
炭化は13の段階は、ソースを溶かす。この基礎
炭化とのオーイフタを脱するたの必要あり
その結果よりSDTの特性の安定性が非常に高
上した。

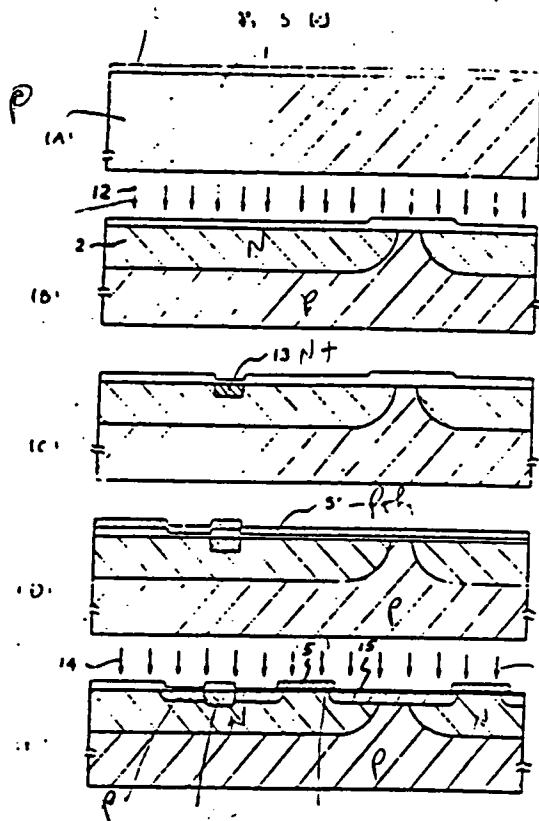
さらに、本発明は、前述の実施例のみで限定されず、本発明の技術的思想から逸脱しない範囲において、種々変更可能であることはもちろんである。例えば、ここでは、Pナヤル型のMIBFETについて全く同様に適用できる。

以上説明したごとく、この発明によれば、特性の良好な、大型の MOS P E T が容易に得られる。

國名の由来を説明

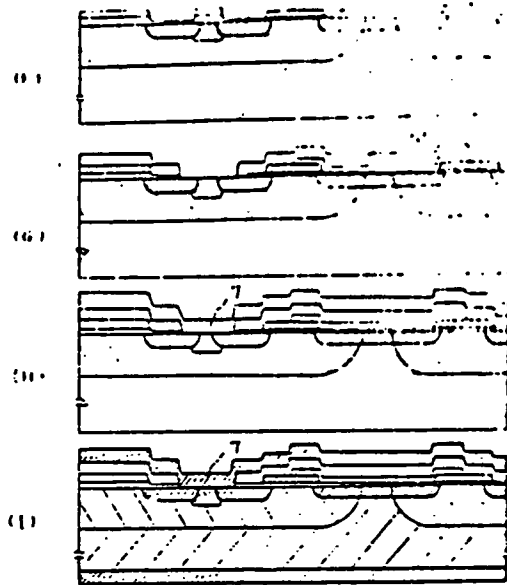


161020-4405940



右側面図の目録

| | |
|----|----|
| 1a | 1b |
| 1c | 1d |
| 1e | 1f |



手続補正書（自発）

昭和50年 8月13日

特許庁長官 齊藤英雄 殿

1. 事件の表示 昭和50年特許第9713号
2. 発明の名称 絶縁ゲート型電界効果トランジスタ
3. 補正をする者

事件との関係 特許出願人

名称 (510) 株式会社 日立製作所

4. 代理人

住所 東京都千代田区丸の内三丁目4番1号
 丸ビル6611号 千100 電話214-8521
 氏名 (6835) 代理人弁護士 中 田 誠 之

5. 補正により増加する発明の数 1
6. 補正の対象 明細書全文および図面。
7. 補正の内容 (1) 明細書全文を補正明細書の如く補正する。
 (2) 図面第5図を添付図面の如く補正する。
 (3) 図面第6図を追加する。

424572

2. 特許請求の範囲第1項記載の半導体装置は、
 電荷蓄積トランジスタにおいて、上記ソース領域
 (またはドレイン領域)内に領域長面から上記
 第2導電型の半導体領域に達する第2導電型の半

3.

この場合の特長は、ドレーン領域での電流取り出しが、ドレーン基板側を介して、その表面から行なわれていることであり、電流が表面の表面から奥へと流れることである。その結果、表面の一面お上に、ソース電極およびドレーン電極が配置されている通常のMIS-DMTに比べ、電流の取り出しが容易で、同一テクノロジーにおいて、有効なチャネル面積（ W ）が大きくなり、大電流の素子として適している。

さらに、改良された鋼管の太子として、307鋼管を示すように、第1図に示した太子のターボポンプとドレーン蒸機1との間に、ドレーン蒸機1と同一構造の鉄鋼製不純物層1を設けるものが提案された。これは、ドレーン領域3の係数が0.05程度などにより規定された場合、ソース領域4とドレーン蒸機1とのパンテスルー耐圧を向上させるために有効である。

しかし、上記のようを製造のMOSFETでは、
も、もたよびの領域は、通常エピタキヤル

[illegible]

உதவி : டி. பி. சி. என்.

この資料は、A 部力の製造メーカーで最も得意な
リノックス社（以下、MUSKET と記す）に由来す
る。

そこで、利用と生産の両方の面から見て、これを活用させるために、第1次の調査のものに基づき、
たてている。次に示して、1はドレーン基礎、2は
ナール系統、3はドレーン組織、4はソーマグ
域、5はブート基礎、6はブート用シリコン酸塩
油、7、8、9はそれぞれソース、ドレーンルミ
びブートの取り出し装置、10は保護肥減速であ

• 2 •

気相成長により形成された層 (E_p 層) であり、
とくに、2 の E_p 層とドレーン基板とまたは試料
と物質製造炉との境界にドレーン電界が印加さ
る構造であるため、ドレーン側圧の多留りがは
ずれを有していた。この原因は、 E_p 層形成時
とくに、その形成初期に結晶欠陥が発生した
ためである。そのため、テーパー面傾が大きく
なつた。また、二層 E_p のように、 E_p 成長の成
績が増えるにつれて、その多留りは抑えられ
る傾向にある。以上述べたように、第1次および
第2次を示したようなMOSFETにおいては、
圧力多留りがはずれという欠陥を有していた。

この発射の目的は、上記のような欠点を修正することにある。計圧室周りの材料を MUSFET を採用することである。

上記の目的を達成するために、チャネル領域がイオン打込み、もしくは拡散によってドレーン層の表面近傍に形成され、かつ拡散後の一隅がドレーン領域として拡散面表面まで延びて存在する、といふプロセスを提案する。

SECRET

07653047-020891

以下、本発明を実施例を用いて非限定に説明する。第3図に、本発明によるMOSFETの1例の断面図を示す。

ドレーン基板1は、たとえば、P型で、アモルファス不純物濃度 N_A が $1 \times 10^{19} \text{ cm}^{-3}$ であり、チャネル基板2は、N型で、ドナー不純物濃度 N_D が $5 \times 10^{19} \text{ cm}^{-3}$ 、その厚さが $1.0 \text{ }\mu\text{m}$ である。ドレーン領域3は、P型で、表面の不純物濃度 N_A が 10^{19} cm^{-3} 、深さが $1.5 \text{ }\mu\text{m}$ であり、1のドレーン基板と基板表面で接合され、真空中から取り出されている。ソース領域4は、P型で不純物濃度 N_A が 10^{19} cm^{-3} 以上で、表面ソース領域5から取り出されている。ゲート絶縁層6、ゲート電極7はゲート領域5の取り出し端である。

以上の製造で、2のチャネル領域および3のドレーン領域が、イオン打込み、拡散、もしくはこれらの組み合わせによって形成され、 E_p 成長を用いていない点が重要である。その結果、チップサイズ $5 \times 5 \text{ mm}^2$ で、耐圧 100 V 、電流 10 A の

り込み、拡散、もしくはこれらの組み合わせによって形成された層であるため、結晶欠陥が少なく、ドレーン抵抗の低減は、改善され、抵抗による損失を低減した2層 E_p の構造に比べ、第3図の4層と同等に抵抗を向上した。

次に、この発明の実施例によるNチャネル型MOSFETの製造工程を第4図(A)~(I)を用いて説明する。

アモルファス不純物濃度 N_A が 10^{19} cm^{-3} のドレーン基板1の表面に、熱酸化膜1.7を約 $6000 \text{ }\text{\AA}$ の厚さに形成し(図(A))、基板1のチャネル形成領域上の熱酸化膜1.7を部分的に除去した後、りんイオン1.2を試料に照射する。このイオンの打込みエネルギーは 50 KeV 、打込み量 N_{eff} は $5 \times 10^{18} \text{ cm}^{-2}$ であった。イオン打込み後、加熱処理中、 1200°C 、5時間熱処理した。その結果、チャネル基板2となるN型ドープ層が $8 \text{ }\mu\text{m}$ の厚さで形成された。このとき、チャネル基板2上に再び薄い熱酸化膜1.7が形成される(図(B))。つぎに、熱酸化膜1.7の所定部分を

第5図(A)~(I)を用いて説明する。

第5図(A)に、第3図のドレーン基板1のかわりに高濃度ドレーン基板1とその上に形成した熱酸化膜1.1とを有する基板を用い、熱酸化膜1.1の下に、第3図の構造と同様の方法でチャネル基板2、ドレーン領域3およびソース領域4を形成したものである。ここで、ドレーン基板1は、たとえば、P型で、不純物濃度 N_A が $1 \times 10^{19} \text{ cm}^{-3}$ 、低不純物濃度層1.1は、P型で、不純物濃度 N_A が 10^{19} cm^{-3} である。この場合、低不純物濃度層1.1は E_p 層であっても、チャネル基板2と低不純物濃度層1.1との境界は、イオン

打込みによって形成される。MOSFETの構造は、第5図(A)に示すように、第3図の構造と同様の方法でチャネル基板2、ドレーン領域3およびソース領域4を形成したものである。ここで、ドレーン基板1は、たとえば、P型で、不純物濃度 N_A が $1 \times 10^{19} \text{ cm}^{-3}$ 、低不純物濃度層1.1は、P型で、不純物濃度 N_A が 10^{19} cm^{-3} である。この場合、低不純物濃度層1.1は E_p 層であっても、チャネル基板2と低不純物濃度層1.1との境界は、イオン

打込みによって形成される。MOSFETの構造は、第5図(A)に示すように、第3図の構造と同様の方法でチャネル基板2、ドレーン領域3およびソース領域4を形成したものである。ここで、ドレーン基板1は、たとえば、P型で、不純物濃度 N_A が $1 \times 10^{19} \text{ cm}^{-3}$ 、低不純物濃度層1.1は、P型で、不純物濃度 N_A が 10^{19} cm^{-3} である。この場合、低不純物濃度層1.1は E_p 層であっても、チャネル基板2と低不純物濃度層1.1との境界は、イオン

打込みによって形成される。MOSFETの構造は、第5図(A)に示すように、第3図の構造と同様の方法でチャネル基板2、ドレーン領域3およびソース領域4を形成したものである。ここで、ドレーン基板1は、たとえば、P型で、不純物濃度 N_A が $1 \times 10^{19} \text{ cm}^{-3}$ 、低不純物濃度層1.1は、P型で、不純物濃度 N_A が 10^{19} cm^{-3} である。この場合、低不純物濃度層1.1は E_p 層であっても、チャネル基板2と低不純物濃度層1.1との境界は、イオン

を部分的に除去し、この窓を通して、 1000°C で、 POCl_3 による高濃度のりん拡散を行ない、高濃度ドレーン領域3を形成した。このときも窓部には薄い酸化膜が形成される(図(C))。ついで、表面の酸化膜を所定の部分を除去して部分的に除去した後、熱酸化して厚さ約 $1000 \text{ }\text{\AA}$ のゲート絶縁膜用酸化膜6を形成する。このとき、酸化膜の残存していた部分1.9は小さくなる。その上に多結晶シリコン層7を約 $5000 \text{ }\text{\AA}$ の厚さに形成し(図(D))、このシリコン層7を部分的に除去してゲート電極7を形成した後、より大イオン1.4を試料に照射する。このイオンのエネルギーは 80 KeV 、打込み量 N_{eff} は $1 \times 10^{18} \text{ cm}^{-2}$ とした。この結果、MOSFETの熱酸化に代わる低不純物濃度のドレーン領域3がゲート電極7の間に、また、同濃度の領域4が高不純物濃度領域3の両側に形成される(図(E))。引き続き、その上に SiO_2 (化学蒸着)法により、約 $4000 \text{ }\text{\AA}$ の厚さのシリコン酸化膜1.6を形成し、領域4上の酸化膜1.6を部分的に

は、 1000 Å の厚さに形成し、 1050°C の炉の中で、5時間保持した後、電極コンタクト用穴をエッチングで開けた（図（B））。しかる後、全面にアルミニウムを真空蒸着により、約 100 Å の厚さに形成し、エッチングにより、ソース電極ノコとびゲート電極ノコとび（図示せず）を形成した（図（B））。以上の工程を行った基板1の表面を厚さ 100 Å エッチングで除去した後、金を真空蒸着により、 2000 Å の厚さに形成し、 400°C でアロイして、ドレーン電極を形成した（図（C））。本工工程中、図（C）で示したN型の高不純物濃度領域1は必ずしも必要ではないが、この領域の存在は、ソース領域4と、基板1とのオーミック接触をはかるために有効であり、その結果、基板1とソース領域4とが電気的に完全に接続されるため

9

には 50 KeV 、打込み量 $N_D = 2 \times 10^{16} \text{ cm}^{-2}$ とした。その結果、高不純物濃度のドレーン領域3と領域4とが形成される（図（C））。つぎに、試料全面にCVD法により約 4000 Å の厚さにシリコン酸化膜16を形成し、シリコン酸化膜16および18に領域4の中央部表面に達する窓を明け、この窓を通過してりんを拡散してN型の高不純物濃度領域18を形成する。このとき、領域18上に薄い酸化膜が形成される（図（D））。ついで、酸化膜18をエッチングにより除去して、試料全面にCVD法によりシリコン酸化膜16を被覆した後、酸化膜16に領域4に達する窓を開け、この窓を通してりんを拡散してソース領域4を形成する（図（E））。ついで、試料表面の酸化膜をエッチングで除去した後、試料表面を熱酸化し、全面にりんガラス膜10を被覆し、りんガラス膜10およびその下の酸化膜に高不純物濃度領域18およびソース領域4およびゲート電極に達する窓を開け（図（F））、試料全面にアルミニウムを真空蒸着した後、エッチングによ

11

りソース電極ノコとびゲート電極ノコとび（図示せず）を形成し、ついで、基板1の表面をエッチングした後、真空蒸着によりドレーン電極ノコとびを形成した（図（G））。このようにして、図1（I）と同様な構造のMOSFETが得られる。さらに、この発明は、前述の実施例のみに限定されず、本発明の技術的思想から逸脱しない範囲において、種々変更可能であることは勿論である。以上説明したところから明らかなように、この発明によれば、特性の良好なMOSFETが容易に製作できる。

4. 図面の簡単な説明

第1図および第2図は、従来のMOSFETの断面図、第3図および第4図は、この発明によるMOSFETの断面図、第5図および第6図は、この発明によるMOSFETの製造工程を示す断面図である。

図において

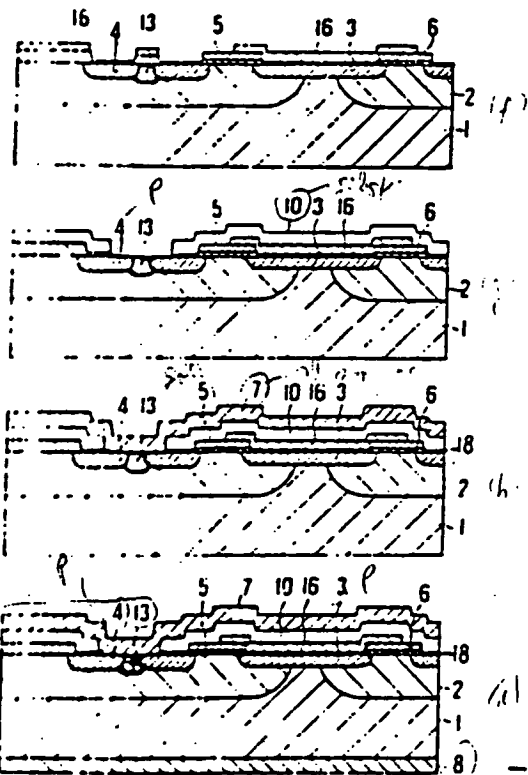
- 1：ドレーン基板
- 2：チャネル基板

10

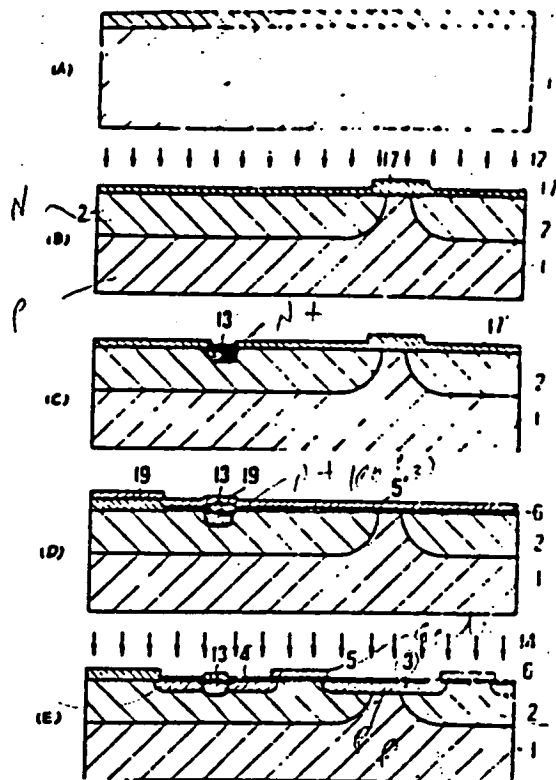
- 3 : ドレーン領域
- 4 : ソース領域
- 5 : ゲート領域
- 6 : ゲート用シリコン酸化膜
- 7, 8, 9 : 配出し電極
- 10 : 保護絶縁膜
- 11 : 低不純物領域
- 12, 14 : イオンビーム
- 13 : 高不純物領域
- 16, 17, 18 : シリコン酸化膜

現代成人井理士 中村 興之 著

4 5 14



4 5 14



3 6 14

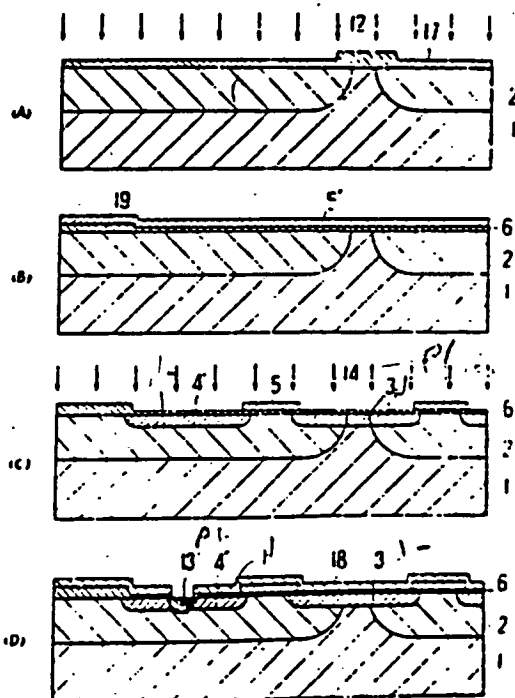
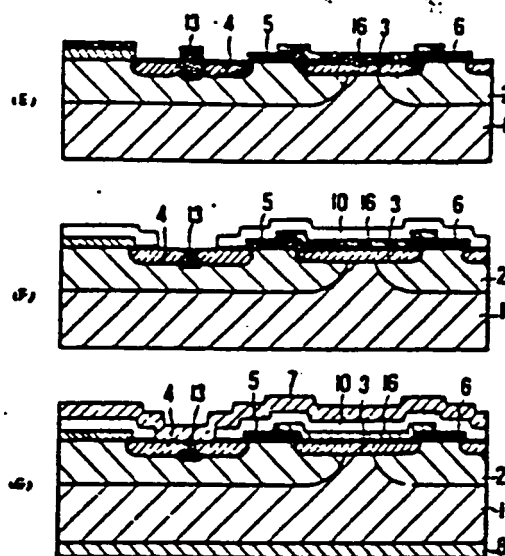


图 6



010 051-05381